

第 5 章 基礎科技

一、3D 積體電路關鍵技術及應用發展技術

(一) 技術研發目標

三維積體電路(3DIC, three dimensional Integrated Circuit)是未來半導體發展之主流趨勢，更是台灣半導體產業發展之重要里程碑，牽動著後摩爾定律的全產業生態系統。為解決 3DIC 技術開發可能面臨的各項問題，將針對國內半導體產業，從上游晶片設計至下游封裝測試，以 3D 晶片堆疊技術及其應用開發為主軸。除此之外，3DIC 技術在製程開發的項目中，尚需搭配合適的製程材料及設備商，以因應新的製程技術發展；因此，3DIC 應用的產業環境包括整體半導體產業鏈，勢必對台灣半導體產業價值之提升有相當之助益。台灣的晶圓代工、積體電路封裝與積體電路測試的占有率為全球第一，同步動態隨機存取記憶體(DRAM, Dynamic Random Access Memory)製造與積體電路設計業也居全球第二，如及早投入 3DIC 技術領域，結合相關業者發展出 3DIC 的關鍵技術或是垂直分工的新標準及介面，則台灣半導體產業將有機會持續下一個十年、甚至是 20 年的榮景。

目前已有許多國際大廠進行研發 3DIC 技術的產品，例如德洲儀器(TI)公司於 2012 年國際超大型積體電路研討會(VLSI, Very-large-scale Integration) Hawaii 發表 3DIC TSV 設計準則 KOZ (Keep-Out-Zone)，韓國三星(Samsung)在 2009 年國際固態電路研討會(ISSCC, International Solid-State Circuits Conference)發表晶片堆疊可使 DRAM 模組的速度增加 50%以上；一直以來處理器大廠英特爾(Intel)也規劃將中央處理器(CPU, Central Processing Unit)與 DRAM 堆疊成 3DIC 以突破目前產品效能的瓶頸；國外記憶體廠商與互補式金屬氧化物半導體影像感測器(CIS, CMOS Image Sensor)領先技術者也紛紛朝向垂直堆疊方向發展。設計部分係以「發展出符合國內產業需求之 3DIC 設計平台與關鍵技術/智慧財產(IP, Intellectual Property)，縮短國內業者與國外領先技術者的差距，並以「3DIC 之系統設計與測試技術落實於實際應用產品」為目標。

3DIC 未來之應用市場主要為邏輯及記憶體的堆疊，將超越市占率 50%，而記憶體單獨堆疊也近 20%，因此記憶體技術將成為未來 3DIC 乃至 3D 系統之關鍵核心，目前次世代記憶體須具備低功率、高耐熱、低位元成本、高性能、非揮發性等條件，因此國內記憶體廠如南亞科亦投入研發，開發應用於現有 DDR3 及未來 DDR4 之直通矽晶穿孔(TSV, Through-Silicon Via)記憶體 3DIC 堆疊技術，而開發中之新興記憶體如能結合 3DIC 技術則可快速利用較成熟製程來實現高密度、低位元成本且節能之終極願景，如電阻式隨機存取記憶體(RRAM, Resistive Random Access Memory)使用 3DIC 技術可有效降低成本，且與 DRAM 相較其耐熱性佳(可至 200°C)，易整合於須高性能、高容量記憶體之系統平台中，在產品應用方面則包含平板電腦、固態硬碟(SSD, Solid-State Drive)系統、智慧型手機、雲端系統伺服器主機。

目前 3DIC 製程技術已漸趨成熟，然而因應 TSV 之導入，需有新的電子設計平台相對應，以加速此技術進行 3D 堆疊整合之速度，因此，政府希望結合國內外學研機

構能量，規劃與電子設計自動化(EDA, Electronic Design Automation)軟體廠商、積體電路業者、晶圓代工廠商及積體電路構裝廠商共同發展 3DIC 相關技術，加速 3DIC 的開發時程。未來在研發成果具規模能量時，可衍生新公司或新的產業模式。其次因應政府「台灣半導體產業躍昇策略規劃會議之結論與關鍵推動措施」中未來關鍵技術研發與技術平台策略，發展 3DIC 異質整合技術，帶動創新產品發展，並積極發展躍進式技術平台，以 3DIC 技術為主，建立 3DIC 共通設計/技術/驗證平台，加值及提升台灣積體電路設計與分工製造能力，本技術開發成果可以作為業界試量產化之技術參考指標，並藉由技術轉移或產品技術共同合作，將上述完整製程技術導入業界真實量產線，共同開發 3DIC 技術、產品及應用市場，此舉可大幅縮短業者從研發到量產的時程，協助廠商迅速地將 3DIC 技術導入晶片製作市場，不僅降低業界投入 3DIC 技術的開發投資風險，也奠定了台灣半導體產業於全世界 3DIC 技術市場的領先地位。

(二) 技術發展藍圖

3DIC 技術整合工研院電光所與資通所技術能量，藉由兩單位於半導體元件製程及設計領域所建立之厚實基礎，促進台灣 3DIC 技術精進，並開拓更寬廣的技術應用範疇。本技術之關鍵技術發展藍圖規劃見圖 2-1-5-1，3DIC 發展晶片層級模型與工具、建立 3DIC 設計技術，含統包(Turn key)流程與 3DIC 測試等、3D 構裝整合設計驗證、TSV 製程研究與相關電路模型、發展低漏電與面積效益高之 ESD 箝制電路設計，及適用於 3DIC 偵測之 ESD 防護技術、建構 3DIC 晶片設計與驗證環境、發展具超低功率限制之系統、電路及設計流程等，並開發 3D 構裝整合設計導入 3DIC TSV 技術，以 TSV 及功能中介層(Functional Interposer)為整合設計平台，透過電性、熱傳、應力設計，布局 3DIC 堆疊應用與設計、測試創新等智慧財產權(IPR, Intellectual Property Rights)，應用於處理器+記憶體、記憶體及感測器之研發載具。

自 2010 年投入經費主要是建置後段製程設備與發展 3DIC 整合技術，但仍需要投入積體電路設計技術來補強上述需求，以確保開發出之技術能與終端業界使用者之需求與介面完全吻合，最終以期加速業界量產化之腳步。因此 2012 年加入實際下線的晶片來使用所開發的 3DIC 整合技術進行晶片堆疊，可達成：1.驗證及補強 3DIC 整合技術的實用性；2.實驗 3DIC 的功能；3.建立 3DIC 的完整製造流程。導入設計流程與矽的智財開發對整體技術將有加乘效果，完整且被驗證過的 3DIC 設計流程與矽的智財，其累積的經驗，有助於未來相關設計技術導入產業，也有助於 3DIC 技術與產品應用之發展；3DIC 的測試研究，更是提升良率，降低生產風險的重要工作。

本重點技術包括五大項：1. 3DIC 系統整合與設計輔助技術；2. 3DIC 設計服務與矽的智財開發；3. 3DIC 功能與可靠度整合設計；4. TSV 技術開發暨製程模組電路驗證技術；5. 3DIC TSV 堆疊及模組整合製程技術；技術發展主要專注於 3DIC 之核心技术開發，建立 3DIC 共通設計/技術/驗證平台，並針對兩晶片間之接合(Bonding)介質、中介層、組裝技術、TSV 等做一系列的分析、實驗驗證與模擬的步驟，及進行必要專利布局，引導台灣產業展開由傳統 2D 的電子元件設計轉變成 3D 的立體堆疊，透過特定連接方式與超薄晶圓薄化的技術，大幅提高元件的效能與減少能量的損耗。

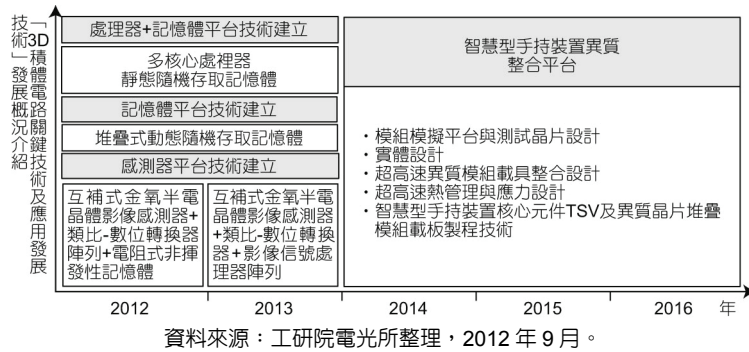


圖 2-1-5-1 3D 積體電路關鍵技術及應用發展技術發展藍圖

(三) 產業效益

未來半導體產業的成長驅動力以可攜式產品、個人電腦、汽車、生醫、綠能等應用為主要方向，但產品定位因應經濟趨緩後已開始轉變：快速推出平價及低價的產品、或是高價格性能比之新產品體驗，對吸引顧客愈來愈重要。半導體產業必須針對產品的新趨勢，進行技術的高度整合及全新設計整合的新思維，才能提供滿足此新產品趨勢的新需求。由於可攜式產品扮演技術高度整合的重要推手，目前高階手機產品之應用及功能，多被視為個人電腦使用方式的延伸，因此未來之研發不僅需考量可移動性的功能以吸引顧客，也需因應如全球定位/個人導引系統、無線網路、多媒體、動態照相、錄影等消費性功能，及未來雲端運算所需的高速傳輸需求、生醫綠能領域的電子化功能加值。

台灣具有完整之半導體產業鏈，從最上游之 IC 設計到最下游之晶片測試，以及相關的材料、測試設備公司等，分工確立且完整。但若以目前之分工型態而欲發展 3DIC 技術，廠商將面臨技術開發垂直整合不易及成本支出過大之問題。未來 4C 電子的相關應用蓬勃發展之際，提供邏輯晶片與記憶體產品朝向高密度、高頻寬 (Bandwidth) 與高速方向發展；而光電、感測及通訊模組朝微型化及模組化發展，異質晶片的堆疊結合亦是未來的發展趨勢。3DIC 技術最大特點在於可將不同功能、性質或基板的晶片，各自採用最合適的製程分別製作後，再利用 TSV 技術進行立體堆疊整合，以有效縮短金屬導線長度及連線電阻，進而減少晶片面積，其具有小體積、高整合度、高效率、低耗電量及成本之優勢，並同時符合數位電子輕薄短小發展趨勢要求。由於實現 3DIC 技術所需整合的產業正好是半導體上、中、下游產業，故以此技術的特質結合設計研發能量，有機會整合國內半導體相關產業，改變國內以代工為主要業務的半導體產業生態，提升產業競爭力。

政府投資並成功促成下列相關廠商進行 3DIC 相關產學研之研發：1. 促成英特爾與工研院合作之「新世代的記憶體」發展計畫，新架構記憶體系統需求以 3DIC 技術呈現的記憶體系統，包括記憶體 I/O 晶片與可堆疊的 DRAM 晶片、有效能源管理、高頻寬；2. 成立並推動 3DIC 研發聯盟 (Ad-STAC)，投入經費成立 3DIC 研發聯盟，促成超過 22 家國際指標性大廠加入，進行相關之設備、製程及材料之研發；3. 推動產業參與科專研發，如均華精密 (3DIC TSV 產品應用之堆疊接合設備開發計畫)、南亞科

技(3D DRAM 矽穿孔電極堆疊技術開發計畫)，2012 年 7 月推出第一顆 TSV 堆疊的 8Gb DDR3 原型產品，預計 2014 年前可進入量產。

3DIC 技術的建立將超越過去產業分工態勢，建立台灣半導體產業新興的 3D 整合系統獨特產業優勢，也對於目前半導體產業大量資本投入的代工製造模式，開創出包含設計、製程、整合驗證、測試等智權的全新競爭優勢。

二、嵌入式軟體與生活服務平台發展技術

(一) 技術研發目標

多樣化嵌入式產品蓬勃發展，加快資通訊技術產業積極研發嵌入式相關軟硬體的地步，其中以行動裝置為嵌入式軟體最具代表性的應用領域。而 Android 開放原始碼(Open Source)的特性，讓廠商能輕易地切入嵌入式市場，快速研發具自家特色的產品，提高使用者對產品的接受度，再者，因 Google 對 Android 系統的強力撐腰更讓廠商義無反顧的投入 Android 懷抱，以期能帶來巨大的經濟效益。根據資策會產業情報研究所(MIC)預估，於 2013 年 Android 產品將超過一億台規模，其中手機為 3,000 萬台，其他非手機類(Non-phone)的產品(如平板電腦、聯網電視、車載終端等)為 9,000 萬台，此類新興行動裝置的崛起將是未來嵌入式產品成長動能的主要戰場。

在智慧型手機中，以宏達電(HTC)為台灣手機業者的領導品牌，已成功跨足全球成為國際知名 Android 手機大廠。此外，繼華碩、宏碁在小筆電的創新成功經驗後，各廠商也進一步推出平板電腦，與 Apple 的 iPad 競逐市場。為協助裝置平台業者能在這兵家必爭的戰場中脫穎而出，本技術掌握 Android 開放式系統軟體的優勢，朝向提供整體參考設計方向發展，以完整的軟體解決方案加速業者從多樣化產品的設計到出貨，快速進入市場，吸引消費者目光，以成為產業先鋒。

在 Android 開放式平台系統優勢，解除專屬系統軟體的發展限制，但由於嵌入式軟體日趨複雜，產品面臨如少量多樣客製化、規格變動因素多、軟硬體整合困難度高等研發難題，且台灣廠商彼此間缺乏完整性的整體規劃，因此本技術將針對 Android 產品開發流程中，業者在各環節遭遇到的瓶頸，由系統層到應用層提出整體性的解決方式。就系統面而言，需提供有效率且穩定的系統發展模式，並發展能快速檢測系統效能的測試平台。就軟體服務內容方面，提供豐富視覺感受的使用者介面，以協助台灣廠商快速發展 Android 系統上的應用軟體並提高再利用率之開發平台。故本技術發展目標為研發可針對產品規格特性快速調適的嵌入式系統核心套件、立體化人機介面、HTML5 應用軟體平台、與系統測試工具等技術，建立國內自主的完整嵌入式軟體解決方案，帶動軟硬整合之高附加價值。

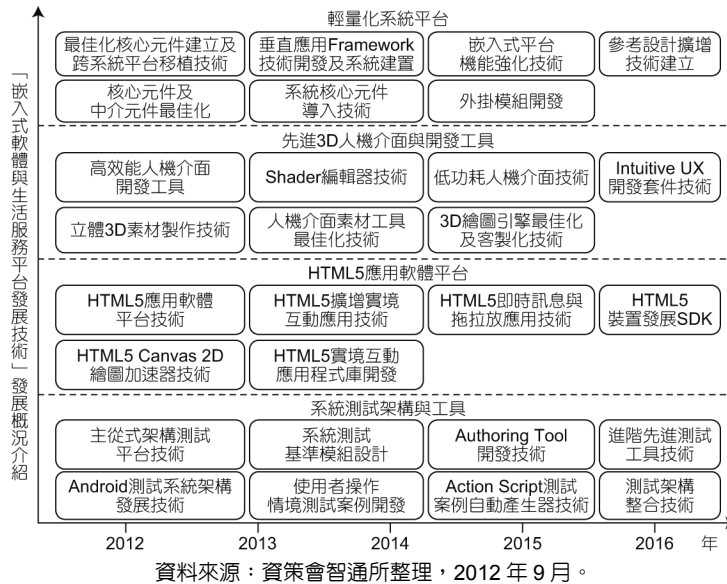
(二) 技術發展藍圖

本技術發展目標為培育台灣的嵌入式系統軟體平台技術服務(OSV, Operating System Vender)能量，協助建構完整嵌入式產品開發及應用服務產業鏈，塑造台灣成為嵌入式系統全球設計服務重鎮。本技術規劃發展 Android 輕量化系統、自動化 Android 測試系統、快速製作立體 3D 素材(S3D, Stereoscopic 3D)的編輯工具、可跨

裝置執行的 HTML5 應用軟體發展平台技術。本技術的發展，期有助於國內廠商提供高差異化的行動裝置，建立獨家、獨特的使用介面與應用程式，其技術特性皆以四個階段規劃整體技術發展，發展藍圖見圖 2-1-5-2，分述如下：

1. Android 輕量化系統平台技術-(1)發展嵌入式系統核心套件，透過建立系統的共同框架(Framework)、模組，使得開發、生產、維護上更加便利，完成最佳化核心元件的建立以及跨系統平台的移植，並提供電視平台的參考設計；(2)開發垂直應用的框架技術以及系統建置，包括設計開發垂直應用的相關框架，並導入相關核心元件；(3)開發嵌入式平台機能的強化技術，包含外掛模組的開發以及相關開發工具的設計；(4)建立其他平台的參考設計以及擴增技術，包括智慧家庭平台的參考設計、車載平台的參考設計和醫療照護平台的參考設計。
2. 先進 3D 人機介面與開發工具技術-(1)開發高效能的人機介面開發工具，提供立體 3D 素材製作的功能，支援 3D 繪圖引擎與 Android 人機介面框架整合，並可引入可程式化繪圖程序函式庫(Shader Library)製作差異化的 M3G 2.0 行動 3D 圖型(M3G, Mobile 3D Graphic)場景檔；(2)強化可程式化材質編輯器(Shader-based Material Editor)開發工具，針對繪圖程序程式碼複雜度、模型網格的幾何結構、以及貼圖檔案的內容與解析度，提供自動化縮放與處理的功能，可依據使用者之設定值或是給定的限制條件，產生最佳化的繪圖程序、模型網格以及貼圖，提高繪製效率；(3)低功耗人機介面(Low-power UI)的開發，透過 3D 引擎的最佳化與客製化，及 UI 場景複雜度的計算，將不必要及時繪製的物件透過 3D 引擎及演算法的調整，做到可調式人機介面繪製，達到省電效果。利用繪圖處理器(GPU, Graphics Processing Unit)與中央處理器(CPU, Central Processing Unit)交替使用，把繁雜 3D 運算交給 GPU，達到省電效果；(4)利用直覺性的使用者經驗(Intuitive UX)，開發直覺性的物件整合編輯器，提供便利的操作介面與預覽介面，讓使用者可以對 3D 內容做預覽與操作。提供視訊整合系統，使用者可將視訊與 3D 場景做整合，達到 2D 與 3D 融合的境界。
3. HTML5 應用軟體平台技術-(1)針對國際行動應用軟體商店(WAC, Wholesale Application Community)標準的發展趨勢，發展符合 WAC 2.0 標準的 Web 執行環境(Web Runtime)。同時針對 HTML5 應用執行的關鍵元件畫布(Canvas)來建立繪圖空間以進行調校，提升執行速度以改善 HTML5 繪圖應用的整體效能；(2)擴增實境(AR, Augmented Reality)為未來的行動應用趨勢之一，發展將著重在 HTML5 平台上擴增實境應用程式庫，可取得影像、辨識影像及互動操作等，讓開發人員可利用此應用介面快速發展 HTML5 擴增實境應用；(3)擴充 HTML5 應用軟體平台裡多執行程序的發展介面，以接受非同步的即時訊息通知，讓 HTML5 應用軟體平台更接近原生(Native)應用執行環境，並提供在行動裝置上以多點觸控方式進行拖放物件的操作應用介面；(4)提供系統廠商發展 HTML5 裝置的系統開發工具，主要結合進階精簡指令集機器(ARM, Advanced RISC Machine)處理器的硬體平台、HTML5 應用軟體平台與相關的軟體元件，發展出能執行任何符合 HTML5 標準的應用發展平台，並以此為產品雛型藉以開發各樣能執行 HTML5 Web App 的消費性電子產品。

4.系統測試架構與工具技術-(1)發展網路架構之主從式架構測試系統，整合不同的測試模組支援 Android 平台測試，提供裝置快速檢測方案以及壓力測試，協助建立基礎測試環境能力，縮短產品整體開發時程；(2)發展系統效能評估工具，剖析系統效能，導入更多的使用者情境，使得測試過程與結果更接近真實操作，協助業者進行效能調校，增加產品市場競爭力；(3)發展編輯工具(Authoring Tool)，開發出更簡易、直覺的測試案例轉換工具，加速測試案例開發，並針對自動化測試技術進行研究，協助業者進行各式的裝置測試，大幅降低測試時程；(4)發展進階先進測試工具，整合先前研發之成果，並加入軟、硬體測試方案，提供完整的嵌入式測試解決方案(Embedded Testing Total Solution)，提供各式終端設備整體性能評比。



資料來源：資策會智通所整理，2012年9月。

圖 2-1-5-2 嵌入式軟體與生活服務平台發展技術發展藍圖

本技術以開放式系統軟體為基礎，支援我國自行發展之通用硬體平台，並以產品差異化、應用加值化為主要訴求，提供嵌入式系統軟體平台解決方案。

長期以來因智慧終端軟體與服務平台為國際大廠所掌握，國內廠商對於自營服務平台之掌握度與發展能量不足，缺乏國際營運經驗，難與國際大廠競爭。因此本技術規劃透過善用開放性平台國際組織的力量，以產出成果為基礎向上進行研發，參考 OESF 的輕量化平台以及 Linaro 的平台底層硬體整合成果與經驗，提供整套行動裝置的參考設計(Reference Design)以及系統測試與效能分析工具，以協助廠商快速開發相關產品。

(三) 產業效益

本技術期望建立全球屬一屬二的嵌入式系統軟體平台技術以及大型系統軟體服務團隊，填補台灣行動裝置產業鏈缺口，作為產業投入發展開放式平台的基礎，快速掌握 Android 關鍵技術，發展差異化的 Android 行動裝置軟體，提升開放源碼軟體核心平台的價值性，並透過產業合作，瞭解業界的需求與想法，找出 Android 對台灣產

業之契機，和未來嵌入式軟體發展之具體方向。以下將針對本技術之四項子技術分別說明其帶來的產業效益。

輕量化系統的 Android 移植技術已成功協助國產 CPU 廠商將 Android 系統移植至其非 ARM 平台的自有平台。此技術可針對非行動電話類應用進行模組整合及分割，移除不必要模組元件，並藉由自由軟體導入欠缺套件，解決套件相依性問題，技術完成後將提供國內業者領先大多數國際廠商的解決方案。

先進 3D 人機介面與開發工具技術透過 90% 皆以原生碼(Native C)開發的 3D 繪圖引擎與 Shader 資料剖析與處理技術，建構的高效能可程式化繪圖引擎技術移轉給正崴公司。而兼具設計彈性與生產力的可程式化繪圖程序人機介面工具，則可移轉給後進之 Android 裝置廠商(如佳士達)，協助形成自有的 3D 人機介面開發平台，提升台灣相關產業在 3D 人機介面的設計與製作能力。

HTML 應用平台調校 HTML5 畫布(Canvas)繪圖效能，使其接近原生(Native)程式的畫面顯示效果，符合使用經驗的要求，可促進國內 HTML5 應用的發展。目前業界僅有 Google 推出的封閉性產品(ChromeBook)。國內業者在 HTML5 應用軟體平台的開發整體上進度較慢，本技術在 HTML5 應用的有效推動，將可協助國內產業在雲端運算與服務市場上搶得先機。

系統測試架構與工具技術已與仁寶電腦及亞旭電腦簽訂 Android 測試技術技轉與服務諮詢合約，協助導入 Android 測試技術，用於代工品牌廠商如 Acer、Motorola 之 Android Tablet 軟體測試。本技術發展之 Android 測試系統將協助國內業者快速導入 Android 測試技術，加速整體裝置開發時程，減少測試人力及工具研發經費，預計將可縮短測試與環境建置約半年的時間。

長期以來，台灣較缺乏嵌入式系統整合性的核心技術研究，本技術投入 Android 軟體整體解決方案技術研發，可補足此缺口，強化自主開發高效能系統的能力，並厚植台灣 IC 設計、系統廠商與裝置廠商技術能量，提高國際競爭力。

三、行動智慧系統電子材料及應用技術

(一) 技術研發目標

近年來行動智慧電子產品外觀持續輕薄短小，同時功能也愈來愈多元化，除了單純的語音及影像通訊功能外，再加上觸控面板、微型投影模組、小型化照相及個人生理感測模組等，可整合至智慧手機當中，已成為手持裝置產品之主要發展潮流。目前系統單晶片(SoC, System-on-a-Chip)技術為主要之多功能整合方案，但受限於半導體製程在異質材料整合上仍有諸多困難，因此新的功能提升及高密度整合方案將被視為重要研發趨勢。其中以三維晶片堆疊而達成立體連接之系統級封裝(SiP, System in Package)及高密度電路板為整合平台之技術將更受到重視，因此，新世代三維積體電路封裝及印刷電路板(PCB, Printed Circuit Board)產業將面臨高頻電性與高密度技術瓶頸及多功能化需求。未來新材料開發將可逐漸引導三維積體電路及印刷電路板，整合主被動元件、感測元件、電能供應及系統保護等多功能於單一系統級封裝模組中。

伴隨著行動智慧電子產品不斷地持續改變，無所不在之電子應用夢想將逐步實現，透過智慧手機聯網及感測功能、智慧電子功能植入傳統民生用品中，將能提供更多樣之主動式服務。例如印製電子(Printed Electronics)材料之發展將有機會讓智慧電子功能以更便宜、省能及多樣化之方式置入各式之織品、紙及塑膠基板中。印製電子材料除了滿足多元應用及彈性製造需求外，當採用印刷技術形成某個電路圖案時，相較於原有製造方法使用真空設備，可將製程數量削減至四分之一左右，同時大幅降低製程之耗能和材料。因此，產業界極有可能會加速將印製電子技術用於降低環境負荷的重要方案。目前印製電子之主要技術瓶頸在於印製電子材料之可靠性及其製程相容性之突破，台灣相關之研發投入，將先從被動元件周邊材料研發做起，再切入可撓式功能基板及主動元件等相關材料。

綜合上述產業發展方向，行動智慧系統電子材料之發展將從行動通訊(Mobile Communication)與環境感測之創新應用需求，開發高寬頻雜訊抑制、高密度熱管理材料及新穎印製式電子材料，涵蓋製程及載具驗證，完成後將可強化台灣相關系統產品關鍵材料與元件之國際競爭力，並協助開拓印製電子材料新興市場。在關鍵材料技術開發上，將融入節能省電的環保概念，透過材料技術突破，將大幅減少零組件之用量，以減少生產耗能及耗材，並帶來電子產品使用時之實質節能效益。另透過印製電子材料之開發，逐步滿足多元應用、功能提升、彈性製程及環境相容之諸多需求，使得電子材料與元件發展充滿更多創新發展空間與新市場機會。以下針對系統整合與材料技術及印製電子材料技術兩大方向，分別進行技術發展內容說明。

在系統整合與材料技術方面，台灣封裝產業規模為全球第一，但整體產業結構重點依然侷限在製造及終端應用上，對於先端的高階材料及關鍵零組件較缺乏，因此如何加速推動關鍵材料滿足未來先進三維積體電路及高密度電路板之功能及應用需求，以強化台灣封裝產業之長遠競爭力，將是一個重要課題。目前相關材料技術，在全球之發展上仍居於萌芽期，規劃發展上以開發創新之下世代低損耗、低介電(Low Dielectric)高速寬頻電路板材料技術，以滿足雲端運算之需求、並透過內藏大容值去耦合電容(Decoupling Capacitor)及內藏靜電防護之基板材料開發，以強化三維系統封裝之小型化及高功能特性。在設計與製程技術開發上，透過高速寬頻低阻抗結構設計、高密度主動散熱與超細線基板材料製程技術，結合堆疊連結等製程，進行下世代積體電路載板技術開發與整合，期能開發出相容於傳統製程設備之創新材料，帶動國內電子系統封裝產業進入另一波高峰。

在印製電子材料技術方面，雖然台灣業者受限於公司規模，研發能量有限，但產業分工體系完整建立，將有機會開拓嶄新之應用領域，促使印製電子新商業模式之實現，同時可帶動上游電子零組件附加價值之提升，進而和感測器整合，達到智慧感測網路應用之需求。雖然印刷製程可大幅減少原料的使用、製程速度快、製造成本低，相關發展仍受到材料特性及製程能力之限制，因此透過開發關鍵性材料及製程整合技術，包含開發低溫製程之高性能複合金屬油墨及替代氧化銦錫(ITO, Indium Tin Oxide)之相容透明導電材料、低耗電微型感測材料及薄型電能轉換材料，並探討油墨與基板之介面匹配及製程整合相關技術，以加速印製電子產業之發展，並強化系統應用產品之創新性及競爭力。預期印製電子材料之開發，將可引導國內業者進入新事業領域，加速傳統電子產業之轉型與躍進。

(二) 技術發展藍圖

在系統整合與材料技術上，於 2012 年導入固態電解電容技術，逐步結合印刷電路壓合、蝕刻、電鍍製程，將使得被動元件內埋於基板的技術於 2016 年達成技術指標 $C>100 \mu\text{F}$, $V>15 \text{ V}$ ，以增加對電源雜訊之抑制能力，並搭配其他低介電材料、超薄銅箔及散熱管理等階段性關鍵技術開發，以多媒體智慧模組階段性展示相關材料之開發成果與應用，技術發展藍圖見圖 2-1-5-3。

在印製電子材料技術上，主要技術瓶頸在於材料可靠性及製程相容性之突破。因此本技術發展之規劃，於 2012 年開發奈米粉體介面改質材料，可達到抗氧化、低溫化，逐年調整功能油墨流變以適合不同印刷製程所需的厚度及膜層介面特性，並選取最佳化材料成分設計搭配最佳製程參數驗證，製作出低電阻率之銀/銅導電油墨及新型透明氧化物，預期在 2015~2016 年複合金屬油墨能達成電阻率 $<8 \mu\Omega\text{-cm}$ ，介面附著強度 $\geq 4 \text{ B}$ ，並搭配其他材料之階段發展成果，透過片狀無線傳電模組以展示各關鍵材料之實用性及可製造性。



資料來源：工研院材化所整理，2012 年 9 月。

圖 2-1-5-3 行動智慧系統電子材料及應用技術發展藍圖

(三) 產業效益

根據 SEMI 與 TechSearch International 在 2011 年 12 月共同發布的全球半導體構裝材料展望中顯示，2011 年的全球半導體構裝材料市場(包括熱介面材料)總值為 228 億美元，2015 年將進一步成長至 257 億美元。其中積體電路載板(高密度印刷電路板)仍占最大比例，2011 年總額為 97 億美元(台灣產值 20.56 億美元)，以單位數量來看，未來五年的年複合成長率將超過 8%。

目前在國際上許多電子材料為日本廠商所主導，全球的市占率超過七成。因此，對台灣相關產業鏈影響最大的部分應在於電子資訊產業所使用的許多上游原材料和關鍵零組件，其中如三菱瓦斯及日立化學為全球兩大積體電路載板用樹脂供應商，全球市占率約九成左右。因此相關材料技術之開發，將可協助整合電子產業鏈及加速自主關鍵材料國際認證、培植國內具有生產高階基板材料能力之廠商，以提升台灣關鍵材料的自製率，擺脫受限國外廠商供應的窘境。2012 年台灣研發團隊在日本國際奈米技術展推出以被動元件內埋、內藏於電路基板內共同形成完整電路功能，並結合薄型壓電纖維複材以平面薄型無線喇叭之方式展現，獲得綠色奈米國際獎項之肯定。預期此新興功能基板(Functional Substrate)材料之發展將能滿足下世代電子產品之需求，並引領國內積體電路載板產業邁入複合功能技術領域，預期 2015 年台灣相關複合基板之年產值約新台幣 150 億元(初期市場滲透率約占台灣整體電路板產值 5%)。

根據 IDTechEx 2012 年 4 月市場資訊，2012 年全球印製導體材料市場規模約 28.6 億美元，在市場逐步擴展的狀態下，在 2018 年將可達到 33.6 億美元的規模，其中新奈米銀及銅油墨(漿)材料將達 7.3 億美元，相關應用領域包含無線標籤、太陽能電池(Solar Cell)、有機發光二極體照明、顯示器、觸控面板、感測器、邏輯電路及記憶體等。預期印製電子及感測材料之開發，將可引導國內業者進入新事業領域，加速傳統電子產業之轉型與躍進。

在台灣相關印製導體材料(如銀漿、鋁漿等)已廣泛應用於太陽能電池及觸控面板領域，雖然已有少數材料廠商切入市場，但太陽能電池銀漿材料仍受到杜邦等公司之寡占。目前導電漿料占整體電池成本結構近 20%，導電漿料的角色將愈來愈吃重，研發重點在於提升導電銀漿的使用效率，增加每公斤銀漿的發電瓦數，加速銀漿材料國產化，並協助國內太陽能電池廠商提升國際競爭力。台灣在非銻系透明導電氧化物(TCO, Transparent Conductive Oxide)材料發展上，配合非真空大氣噴印製程，已開發出光電特性較真空濺鍍氧化銻錫薄膜為佳的新型透明導電薄膜(Transparent Conductive Thin Film)，並且在全印製式製程技術開發上，整合材料、製程、設備與系統各關鍵技術，研發出可圖案化且光學結構可調整的透明導電薄膜製程，初期將切入以國內廠商為主的投射電容式觸控面板領域，可大幅降低國內光電產業對於稀有金屬銻的依賴。預期台灣新興印製導體材料伴隨著相關材料技術之突破，將可加速取代進口材料，以全球印製導體材料市場占有率約 10% 估算，2015 年國產印製導體材料產值將可達新台幣 100 億元。

四、高階繪圖與視訊軟體技術

(一) 技術研發目標

讓手機的使用者介面酷炫且順暢執行的最大功臣，就是內建於應用處理器(AP, Application Processor)的嵌入式繪圖處理器(GPU, Graphics Processing Unit)。目前最熱門的 Android 系統，在 2.0 版本後更是大量運用繪圖處理器來繪製與合成其圖形介面。隨著智慧型手機的普及，未來嵌入式繪圖處理器將是應用處理器上不可或缺的元件。

繪圖處理器是 nVIDIA 公司在 1999 年發布 GeForce 256 時首先提出的概念，主要提供在電腦繪圖時座標轉換和光源處理(T&L, Transform & Lighting)之硬體引擎支援。時至今日，繪圖處理器的功能愈趨重要，尤其在進行 3D 繪圖處理時，更能大幅降低中央處理器(CPU, Central Processing Unit)的工作負擔。

繪圖處理器至少會提供頂點著色引擎(Vertex Shader)與像素著色引擎(Fragment Shader)或類似之特定功能模組，其效能基準常用每秒能處理多少個三角形(Triangle/s)來進行比較。頂點(Vertex)著色引擎是一個用於增加 3D 圖形與特效的繪圖處理單元，具有可程式化特性，允許利用指令調整特效，每個頂點都有最基本的 X-Y-Z 座標、顏色、材質(textures)或光源方向數量特性等屬性。對繪圖處理器的像素著色引擎而言，它負責處理多邊形內每一像素(pixel)的色彩表現，因此可處理及計算材質與所要進行材質貼圖的座標、材質圖像混合的方式和霧化效果等，以決定像素所呈現的顏色。

繪圖處理器亦提供一些著色引擎以外的功能，例如深度測試(Depth Test)、透明度測試(Alpha Blending Test)或模板測試(Stencil Test)等像素測試工具、三角型組裝或視埠(View Port)外三角形裁切(Clipping)重建、物體背面隱藏之三角形剔除(Culling)、多重取樣全景反鋸齒(MSAA, Multi-Sampling Anti-Aliasing)平滑、非等方性過濾(AF, Anisotropic Filtering)等功能，讓繪圖處理器在整個渲染流水線中能更有效率、減少中央處理器的工作量、達成更華麗逼真的遠近畫面效果。

開放式圖形函式庫(OpenGL, Open Graphics Library)是個定義跨程式語言、跨平台的編寫繪圖應用程式介面(API, Application Programming Interface)規格，它用於產生 2D/3D 圖像，特別是計算機輔助設計(CAD, Computer Aided Design)、虛擬實境、科學視覺化程式和電子遊戲開發。而 OpenGL ES 是開放式圖形函式庫的子集合，特別針對智慧型手機、平板電腦和手持式遊戲裝置等嵌入式設備而設計，目前由 Khronos 組織定義與推廣。OpenGL ES 是從開放式圖形函式庫裁剪訂製而來，並去除四邊形、多邊形等複雜但非絕對必要的特性，目前主要有兩個版本，OpenGL ES 1.x 係針對固定功能管線硬體(Fixed-Function Pipeline Hardware)定義，其管線內的硬體功能已經事先由繪圖處理器設計者提供之演算法決定。反之，OpenGL ES 2.x 主要是針對可程式化繪圖管線硬體(Programmable Hardware)，提供使用者如遊戲開發者等大幅擴充硬體繪製功能的空間：它提供頂點與像素著色引擎的概念，是一個完全可程式化硬體的架構。在 OpenGL ES 1.1 版本的繪圖管線中，3D 空間座標轉換與光照計算將會被頂點著色引擎取代；材質環境、顏色、霧化及透明測試也被像素著色引擎所取代。

台灣 IC 設計廠商於智慧型手機、數位電視與機上盒(STB, Set Top Box)領域有一定的地位，隨著 Android 系統的發展，未來繪圖處理器於上述領域之應用將會愈來愈廣泛，所以本技術將開發符合未來 2~3 年智慧型手機的繪圖處理器效能需求，與符合未來 4~6 年數位電視與機上盒的嵌入式繪圖處理器效能需求為目標，提供台灣 IC 設計廠商擁有自主性繪圖處理器之選項。

(二) 技術發展藍圖

國內在發展嵌入式繪圖處理器的整體項目上已落後國外大廠好幾個世代。嵌入式繪圖處理器並不會單獨存在，而是整合至應用處理器中，一旦將嵌入式繪圖處理器整合上系統後，因為涉及到複雜的系統整合問題，而且標竿基準(Benchmark)效能還要在整合後能與競爭對手匹敵，此為創造台灣嵌入式繪圖處理器技術之產業價值的關鍵。因此本技術研發重點將放在導入電子系統層級模擬環境，找出嵌入式中央處理器與繪圖處理器整合後的瓶頸，進而改進繪圖處理器的設計，並把效能調校出來，使嵌入式繪圖處理器之標竿基準效能達到商業水準，而讓廠商接受並採用，技術發展藍圖見圖 2-1-5-4。

Khronos 組織訂定 OpenGL ES 1.0 與 1.1 的時候，大多以軟體的方式實現繪圖引擎，隨著應用程式複雜度與效能需求的增加，繪圖引擎漸漸改由繪圖處理器硬體實現，至 OpenGL ES 2.0 時則完全由硬體實現。目前的介面標準有 OpenGL ES 1.x (1.0 & 1.1)與 OpenGL ES 2.0，而這兩個標準並不相容，因此預計開發繪圖引擎驅動程式，以支援上述兩個行動繪圖介面標準。依據 Khronos 組織表示，預計在 2012 年(最遲於 2013 年)公布 OpenGL ES 3.0 的標準介面，屆時也會將此標準納入里程碑中。同時在研發的過程中，將進行相容性與效能測試，並依據測試結果訂定整體架構改善計畫，進而最佳化 OpenGL ES 1.x/2.0/3.0。

繪圖處理器的頂點著色引擎在硬體設計上專注於高精確度、低延遲的算數設計；而像素著色引擎著重於貼圖紋理濾波品質與效能，因此硬體設計之延遲性並不特別重視。在一個待處理的 3D 圖像場景中，所有的多邊形頂點數量通常要遠少於全部像素的數量，因此在過去常依經驗與應用範疇，配置數量固定但不同比例的頂點與像素著色引擎。可是一旦發生負載不平衡時，例如精緻的 3D 物體模型放在背景單調的畫面中，將導致頂點著色引擎的工作量大增，而像素著色引擎卻常閒置；或是簡單的物體模型卻放在華麗光影的背景中，像素著色引擎將全力工作，反而是頂點著色引擎常常進入休眠狀態。這種極端卻容易發生的情況，使得頂點著色引擎與像素著色引擎的使用效率大打折扣。由於這二種著色引擎在設計上有極為近似的結構，因此為了支援更多複雜的技術、彈性的編程與解決負載不平衡的問題，使得頂點著色引擎與像素著色引擎的設計逐漸往統一著色引擎(Unified Shader)架構設計之方向移動。統一著色引擎可以執行頂點著色引擎與像素著色引擎的功能與指令，同時渲染流水線須進行重新配置，讓管線內數據流經過統一著色引擎兩次，並引進資源分配、工作管理等控制單元，以執行頂點與像素著色之不同指令。為了便利程式開發者對於統一著色引擎的使用，其開發工具的建置是必要的，本技術首先將依據指令集架構(ISA, Instruction Set Architecture)建立統一著色引擎之編譯器，並且同時開發相關之函式庫，最終將其整合成一個完整的統一著色引擎開發工具(Shader Authoring Tool)。

除此之外，本技術亦著手建立電子系統層級(ESL, Electronic System Level)模擬平台，進行軟硬體綜合模擬，並開發繪圖處理器模擬器技術與繪圖處理器硬體架構分析，以決定在高階應用情境之下，需要採取的著色引擎模式特性、數量和性能表現。由於統一著色引擎之資料數據流水線較為複雜，資料數據間的相依性、非循序執行技術與多執行排程技術將是這項繪圖處理器模擬器分析的重點。更甚者，將利用繪圖處理器模擬器分析在此架構之下的記憶體頻寬需求，包含 API 呼叫的數量、各階段著色引擎所需要的內部存取記憶體與外部存取記憶體等，提出實驗數據作為需求依據，以進行未來繪圖處理器實體高階架構設計。

為解決嵌入式繪圖處理器整合上系統後，標竿基準效能還能與競爭對手匹敵之問題，將開發繪圖處理器軟硬體綜合模擬與驗證技術，以業界常用的標竿基準程式 GL Benchmark 與 3DMark Mobile 進行效能測試，找出中央處理器與嵌入式繪圖處理器整合後的瓶頸，進而改進嵌入式繪圖處理器的設計，並將嵌入式繪圖處理器的效能調校出來。

依據安謀國際科技(ARM)預估，未來 3D 繪圖的複雜度將增加 25 倍，解析度增加 20 倍，繪圖處理器總體效能須提升近 500 倍的能力才有可能解決未來的需求，但是其電力需求與消費者使用時間卻不能減少。因此在 2012 年開始發展電子系統層級軟硬體綜合模擬技術、繪圖處理器模擬器、OpenGL ES 1.x/2.0 技術、相關驅動程式開發與相容性測試；2013 年以電子系統層級綜合模擬平台深入探討繪圖處理器架構的標竿基準，以決定整體繪圖處理器最佳化之架構與演算法之開發，引進統一著色引擎架構。並考慮嵌入式系統之著色引擎在同時多執行緒(Simultaneous Multithreading)下，指令之間相依性、亂序執行、效率與複雜度平衡、資料流程最佳化等問題，進而發展記憶體管理、超低功耗與軟硬體綜合模擬，並開發電子系統模擬平台，佐以開發現場可編程閘陣列(FPGA, Field-Programmable Gate Arrays)之硬體發展平台與驗證技術。

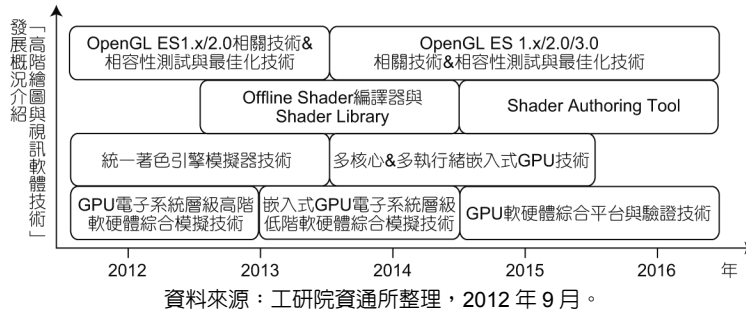


圖 2-1-5-4 高階繪圖與視訊軟體技術發展藍圖

(三) 產業效益

根據市調機構 Morgan Stanley 預估，於 2020 年前未來行動裝置設備(如 Smartphone、iPad、MP3 等)的數量可達到 100 億台以上。由於繪圖處理器強大的運算能力，因此也衍生了許多新興應用，如電腦視覺、醫學影像處理、影像辨識應用、擴增實境、3D 手機與人機介面等。nVIDIA 公司針對電腦視覺相關應用的市場價值預

測，預計在 2015 年將會達到約 180 億美元。由此可知繪圖處理器相關應用勢必會帶來龐大的市場價值與潛在效益。

國內廠商如威盛電子、矽統科技等，自二十世紀後期即投入繪圖處理器晶片研發，並將置入行動電話晶片中，然繪圖處理器晶片在行動通訊市場發展初期的陽春型行動電話中，苦無表現舞台，投入研發廠商在 2000 年後便黯然退出繪圖處理器晶片市場。期間雖成立數家新創公司(如圖城科技、繪展科技等)，盼能開創市場新局，但仍欲振乏力，導致台灣產業在繪圖處理器設計的能量十分缺乏。而國內學術界如台灣大學、成功大學、中山大學，以及法人單位資策會等亦有繪圖處理器開發之經驗，惟受限於投入人力、經費與市場等因素，並沒有統包解決方案(Turnkey Solution)的產出，尚無法立即投入滿足業界需求。因此發展繪圖處理器模擬器技術、繪圖處理器硬體實現、軟硬體驅動程式等完整工具支援，將可立刻提供業者完整開發繪圖處理器所需之各項需求。

繪圖處理器是應用處理器的主角之一，因此本技術所開發的軟硬體綜合模擬驗證環境，是應用處理器(嵌入式中央處理器與繪圖處理器)的模擬驗證環境，除了可協助產業界先期了解新繪圖處理器架構與新應用處理器產品的需求，並降低開發費用外，更有助於產業快速進入市場。

五、通訊系統技術

(一) 技術研發目標

目前全球競逐的下世代行動通訊(Mobile Communication)技術，目標皆朝向能支援至少每秒十億位元(Gbps, Giga bits per second)等級傳輸速度，正在制訂的第四代標準也持續朝此目標邁進。近年來透過政府產業政策的支持，台灣業已在行動通訊系統用戶終端設備產業鏈占有重要的地位，不論關鍵晶片模組、終端設備、測試認證等產品都已漸次生根發展，技術實力更具全球競爭力。然而在局端之系統整合、關鍵模組與元件及核心系統軟體上，除了剛開始跨入局端超微型基地台(Femtocell)之代工製造外，其餘局端系統關鍵元件與模組仍需仰賴外援，其自製率與終端產品相較下顯得遜色許多，導致此項占行動通訊產業龐大產值之核心產品與相關技術，在國外廠商主導其發展下，國內產業競爭力顯得相當薄弱。

為了逐步建立國內產業於行動通訊局端之競爭力，台灣行動通訊產業在規劃策略上先從小型通訊系統開始著手，漸次累積系統設計能力，建立關鍵之模組、元件與系統整合之能量，再逐步擴展至中、大型通訊系統。由於 3.9 代如無線長程演進技術(LTE, Long-Term Evolution)及 4 代如進階版無線長程演進技術(LTE-A, Long-Term Evolution Advanced)行動通訊技術可解決目前使用者在行動應用服務的重度使用問題，使得行動電信營運商嘗試使用小型基地台來提升電信業者訊號涵蓋率，以解決室內收訊不良及系統容量不足的問題，因此超微型基地台設備需求益增。再者，超微型基地台具備輕薄短小與量大的優點，較符合台灣產業特性，因此在行動通訊產業鏈中，國內廠商或許有機會攻占此一市場。根據 ABI Research 的統計，2010 年家用基地台出貨量為 130 萬台，2015 年可成長至 720 萬台，年複合成長率達 154%，且在 2015 年時全球

基地台將有 85% 為超微型基地台系統。因此若能投入具高值化與高技術含量之超微型基地台之產品及軟硬體技術，除了可提升台灣於通訊系統軟體與高精密度之關鍵元件技術能量外，未來也能更進一步協助產業進入局端及核心網路服務領域，以強化台灣通訊產業體質並帶動產業升級，並在高度競爭之全球通訊產業環境之核心領域占有一席之地。依此，通訊系統技術之研發目標規劃以通訊系統協定軟體技術、天線暨射頻前端整合技術作為技術研發標的，以協助產業建立局端系統之關鍵核心與自主技術。

通訊系統協定(Communication Protocol)軟體技術著眼於建立軟體無線電系統之通訊協定軟體基礎核心技術，以提供產業一個可快速驗證、調整與整合之軟體平台，方便各種新應用之快速開發、整合、布署與試驗。此技術預計建構適用於局端系統之通訊協定軟體架構，能支援未來每秒 10 億位元等級的資料處理能力及規格之演進，將協定控制之傳輸時間間距縮短至 675 微秒等級，同時也要能支援至少達每百萬赫茲(MHz, Mega Hertz)頻寬有 60 個網路電話(VoIP, Voice over Internet Protocol)使用者同時上線之系統容量要求。依此總目標設定，本年度技術研發目標著重在進行跨協定之共通資料面(Data Plane)通訊協定高速資料處理技術；此技術可以提供：1.至少三層以上跨不同協定層之協同運作；2.達 1 Gbps 資料吞吐量之高速運算能力；3.且具備高度模組化與高組態彈性。在功能面，將建構基礎元件(Building Block)，提供通訊協定於資料面之功能需求，包括封包頭編解碼、封包分割、封包包裹、循環多餘檢查碼(CRC, Cyclic Redundancy Check)、連線(Connection)、重送及自動請求回覆(ARQ, Automatic Repeat Request)等功能；在高資料處理之效能考量上，將特別設計適用於層與層間高速傳輸，且具備關鍵區同步透通機制之記憶體管理架構，減少記憶體進行讀寫所需耗費之大量時間，以達到 Gbps 等級之傳輸速度。

天線暨射頻前端整合技術著眼於滿足現代行動通訊系統多天線、多頻段及多模操作的需求，以迎接未來行動通訊應用更趨輕薄短小之嚴苛挑戰。本技術研發重點將從基礎掌握智慧天線於多頻環境下之微小化、輻射效率和製程整合等自主技術，支援行動通訊系統 4 路多重輸入多重輸出(MIMO, Multiple Input Multiple Output)多天線、700 MHz 到 3.5 GHz 多頻段及多模操作的需求，並克服小型基地台(Small Cell)系統裝置輕量化、微型化之設計整合挑戰，大幅增進天線之輻射效率以達到更高之涵蓋率。因此所要建構之天線基礎技術目標在於將多頻/多天線整合技術整合於局端之超微型基地台時，能達到 60% 以上之高天線效率、微小化多天線整合及天線輻射場控制等多重應用技術。本年度技術研發目標有二：1.開發高性能之多天線整合技術，針對未來超微型基地台之需求，研發新一代的多天線解耦架構，進一步提升整體的天線效率以及多天線整合的密度，有效運用超微型基地台產品有限空間，以進行更高精密度的多天線結構設計，並且降低天線間之互耦干擾問題。本年度目標為可操作於至少兩個無線廣域網路(WWAN, Wireless Wide Area Network)頻帶，天線輻射效率至少可達 50% 之水準，2016 年目標將以 60% 之輻射性能為目標；2.開發高頻天線波束合成技術，藉由提升無線訊號之訊雜比，達成資料傳輸能力倍增的目標。有別於傳統重量較重且不易應用於小型化裝置之陣列天線模組，本技術所欲研發之數位可調式天線架構，可大幅改善天線陣列之成本以及模組的重量。同時，其具備多樣性的天線輻射波束變化，可以將天線輻射的能量集中在所需求之特定方向，除了可降低對其他方向的干擾外，於 2016 年則預計達成 16 根天線陣列 18 dBi 之天線增益。

(二) 技術發展藍圖

通訊系統協定軟體技術之研發策略，乃是以布局超微型基地台、高階多模技術為主要重點，技術發展著重在高階無線接取技術通訊協定軟體的基礎、核心與通用技術開發，期能掌握系統整合、測試、擴充效能與穩定度等關鍵核心技術。未來五年通訊系統技術發展藍圖見圖 2-1-5-5。

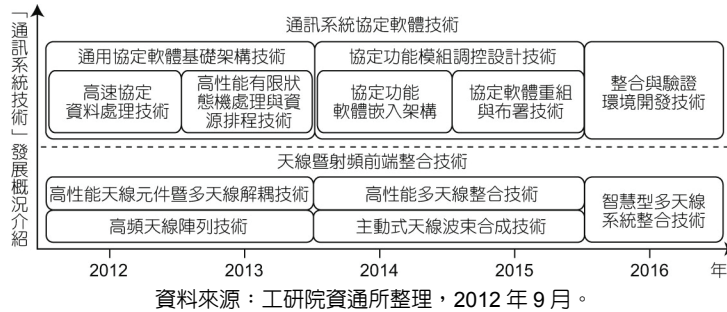


圖 2-1-5-5 通訊系統技術發展藍圖

本技術研發前期(2012~2013 年)階段將以先資料面、後控制面(Control Plane)的順序，針對跨協定具共通性基礎元件來建立通訊協定軟體基礎架構技術。此階段將進行支援不同協定資料封包處理之高速協定資料處理技術，完成支援跨多層協定層之協同運作，並達 1 Gbps 資料吞吐量之高速運算能力，且具備高度模組化與組態彈性之通訊協定資料面共通處理技術；另外針對控制面中之主要核心元件，完成可組態多層式有限狀態機工作與資源排程技術，以支援通訊協定系統中，跨不同元件與模組間之有限狀態機，能有一致化模組介面與公共資料區(Critical Section)管理，也支援跨不同協定層間多用戶、多連線資料之傳輸能力。

中長期階段(2014~2016 年)則預計發展協定功能模組調控設計技術與整合驗證環境，以提供通訊協定功能軟體嵌入架構與協定軟體重組與布署技術。此架構與技術可支援在跨層通訊協定運作下，每個功能模組能具有一致化的軟體程式架構，也提供了協定功能與軟體模組間一致化的設計介面；這樣的設計的好處在於，提供了便於應用開發者進行協定架構最佳化調整之高適應性軟體架構，可以容易地進行系統化布署、整合、除錯與效能驗證，依據量測結果進行功能模組的即時性分割與重組以達到最佳化系統效能調校。

目前國際領先之局端協定軟體技術包括 Aricent、CCPU 等，均建立在長年演進與調整之協定軟體架構，以因應小至超微型基地台大至廣域(Macro)基地台之系統擴充彈性與各種不同平台之快速移植要求。本技術之研發，可幫助產業建立此一自主技術能力。

天線暨射頻前端整合技術為達成下世代行動通訊系統更高涵蓋率之系統效能強化需求，將重點發展智慧多天線於多頻/多模環境下之微小化、輻射性能提升等自主技術。為進一步提升系統天線數量至四天線架構，本技術規劃以五年時程來完成多頻/多天線整合基礎技術；此技術所面臨到的挑戰為，同時需達四天線架構以及多頻段操作特性，在低頻段(如 700 MHz)因電磁波的波長較高頻段(如 2.4 GHz)長三倍，因此

天線間之相對距離將大幅變小而產生嚴重的耦合與干擾現象，使得相關係數 (Correlation Coefficient) 上升。技術前期將以單一天線元件輻射效率的提升，及多天線干擾問題之解決為主要技術項目；而於技術時程中、後期將進行分布式解耦網路與天線之技術整合，以逐步達成適用於超微型基地台之多重輸入多重輸出高性能多天線系統。

在國際競爭技術上，包括 Rockus、KAIST 與三星皆有其獨特之專利技術，以達到多天線與多頻段之需求；本技術採用分布式解耦網路，除可達到多天線與多頻段之需求外，亦可將天線距離縮短至 0.1 波長以下，大大降低多天線所需之體積。

(三) 產業效益

本技術由局端產品切入，尋求自主掌握局端系統關鍵之系統軟體與模組技術，以深耕通訊系統基礎技術，進而提升國內通訊產業在超微型基地台系統的國際競爭力、創新力與附加價值，以搶攻全球行動通訊局端系統 100 億美元產值。預期於 2015 年可提升產值達新台幣 50 億元，並將超微型基地台產品附加價值率從 15.7% 提升至 25%。

所投入研發之高速(達每秒數十億位元)、高擴充彈性(達數百個語音使用者)協定軟體架構設計技術及多頻(700 MHz~2.6 GHz)微形化多天線(達四組以上之整合式天線)技術，預期可為台灣局端系統產業，建立自主之基礎軟體與寬頻多天線模組技術能力，以迎頭趕上國際之領先技術優勢。

由於局端通訊系統的開發具高度系統整合性質，此一自主通訊協定核心軟體技術與高精密度之關鍵天線元件技術能力，將可帶領台灣產業建立更深遠的根基。應用此基礎核心技術，整個局端的產業具有可快速驗證與整合之平台，方便與各種新應用進行快速整合、布署與試驗。一方面可以縮短新產品的導入時間，另一方面也可促進行動通訊應用軟體的創新與發展，帶動國內產業技術與應用服務之升級；同時此基礎技術也可提供於標準制定時之可行驗證架構，增加台灣於國際標準關鍵智財布局之優勢地位。

